



ITESO
Universidad Jesuita
de Guadalajara

ESPECIALIDAD EN DISEÑO DE SISTEMAS EN CHIP
DEPARTAMENTO DE ELECTRÓNICA, SISTEMAS E INFORMÁTICA

Bloque de Asignaturas Fundamentales



ITESO
Universidad Jesuita
de Guadalajara

Nombre de la asignatura: Diseño de circuitos integrados analógicos

Descripción: En este curso el alumno desarrolla competencias para el análisis y diseño de circuitos integrados analógicos básicos en tecnología CMOS, así como el manejo de herramientas de software para el diseño y verificación de los mismos. El alumno a lo largo del curso analiza y diseña circuitos analógicos como espejos de corriente, interruptores analógicos, amplificadores de una etapa, amplificadores operacionales de transconductancia en sus principales topologías, comparadores de voltaje y multiplicadores analógicos. Se utilizan herramientas CAD de la compañía Cadence y procesos de tecnología de circuitos integrados CMOS disponibles a través de convenios con empresas de fabricación de circuitos integrados como recursos para los procesos de análisis y diseño de dichos circuitos. Se sientan las bases para que posteriormente, el alumno sea capaz de realizar el análisis y diseño de sistemas en chip.

Objetivo: Diseñar a nivel circuital y diseño físico (layout) de bloques constructivos básicos de sistemas en chip en tecnología CMOS.

Temas y subtemas:

1. Introducción al Diseño Analógico CMOS
 - 1.1. Flujo de diseño de un circuito integrado
2. Introducción a herramientas de diseño de circuitos integrados Virtuoso-Cadence
 - 2.1. Simulación pre-layout
 - 2.2. Diseño físico
 - 2.3. Reglas de diseño físico
 - 2.4. Verificación de layout: DRC y LVS
 - 2.5. Simulación post-layout
3. Circuitos de un solo transistor y circuito cascode
4. Fuentes de corriente y espejos de corriente
5. Par diferencial, figuras de mérito y compromisos de diseño
6. Técnicas de Layout para celdas analógicas: interdigitado. Centroides comunes
7. Amplificadores Operacionales de Transconductancia (OTA's)
 - 7.1. Características Ideales del OTA
 - 7.2. Características No Ideales del OTA



ITESO
Universidad Jesuita
de Guadalajara

- 7.2. Configuraciones de OTA: Simple, Balanceado, Miller, Telescopico, Folded Cascode (Salida Simple), Folded Cascode (Salida Diferencial)
- 7.3. Circuitos de Retroalimentación en Modo Común (CMFB)
- 8. Tópicos Avanzados de diseño de OTA
- 9. Comparadores
 - 9.1. Características de los Comparadores
 - 9.2. Características No Ideales
 - 9.3. Comparadores de Alta Ganancia
 - 9.4. Comparadores “Clamped”
 - 9.5. Comparadores que usan retroalimentación positiva
 - 9.6. Técnicas de Auto-cero
- 10. Multiplicadores analógicos
 - 10.1. Idea principal
 - 10.2. Operación de Multiplicación
 - 10.3. Celda de Gilbert: Bipolar, MOS
 - 10.3. Disparidades en circuitos analógicos (Mismatch)
 - 10.4. Errores sistemáticos
 - 10.5. Errores aleatorios
 - 10.6. Variaciones locales
 - 10.7. Variaciones globales
 - 10.8. Distribución Gaussiana
- 11. Dimensiones Nanométricas y sus efectos en el diseño analógico
 - 11.1. Efecto de proximidad de pozo
 - 11.2. Efecto de estrés en el silicio
 - 11.3. Diseño enfocado a la manufactura

Metodologías de enseñanza este seminario esta planeado para realizarse con 3hrs. bajo conducción docente (BCD) de un profesor (o varios profesores) en el laboratorio de diseño y 5hrs. de trabajo independiente (TIE) en o fuera del laboratorio de diseño. El profesor empleará alguna actividad presencial o virtual “talleres de metodologías, asesorías, etc.” relacionada con los temas/subtemas guía y las asignaturas IDI para que los estudiantes vayan consiguiendo gradualmente los entregables en esta etapa de su proyecto de obtención de grado. Se espera que el estudiante dedique por lo menos 8hrs/semana a esta asignatura incluyendo actividades presenciales y extra-clase.



ITESO
Universidad Jesuita
de Guadalajara

Criterios y procedimientos de evaluación y acreditación:

La evaluación del curso se lleva a cabo mediante Exámenes, Tareas, y Proyecto.

La calificación final es el promedio de:

3 Exámenes	30%
Tareas y prácticas	30%
Proyecto final ligado a IDIs	40%

La calificación mínima aprobatoria del curso es de 70/100.

Referencias:

Libros de texto/tutoriales/artículos

- [1] Design of Analog CMOS Integrated Circuits, Behzad Razavi, McGraw Hill, 2001.
- [2] CMOS Analog Circuit Design, Phillip E. Allen, Douglas R. Holberg, and Allen, Oxford University Press, 2012.
- [3] Analog Integrated Circuit Design, Tony Chan Carusone, David A. Johns, and Kenneth W. Martin, Wiley, 2011.
- [4] Analysis and Design of Analog Integrated Circuits, 4th edition, Gray, Hurst, Lewis and Meyer, John Wiley & Sons, 2009.
- [5] Introduction to CMOS Op-Amp and Comparators, Roubik Gregorian, John Wiley and sons, 1999.
- [6] VLSI Design Techniques for Analog and Digital Circuits, Randall L. Geiger, Phillip E. Allen, and Noel R. Strader, McGraw Hill, 1990.
- [7] Design of Analog Integrated Circuits and Systems, Kenneth R. Laker and Willy M. C. Sansen, McGraw Hill, 1994.



ITESO
Universidad Jesuita
de Guadalajara

Nombre de la asignatura: Diseño de sistemas digitales

Descripción: En este curso el alumno desarrolla competencias para aplicar metodologías y herramientas para el diseño de sistemas digitales, usando diferentes tecnologías para su realización tales como CPLDs, FPGAs y lenguajes de descripción de hardware. A lo largo del curso, el alumno utiliza metodologías y herramientas CAD como apoyo para los procesos de análisis, síntesis e implementación de sistemas digitales en tecnología de circuitos integrados (ASICs).

Objetivo: Diseñar circuitos lógicos combinacionales y secuenciales para usarlos como bloques de construcción de sistemas digitales de mayor complejidad, tales como procesadores de señales, almacenamiento de datos, circuitos de interfaz y computadoras entre otros.

Temas y subtemas:

1. Lenguajes de descripción de hardware
2. Herramientas CAD para simulación lógica
3. Circuitos combinacionales y secuenciales.
4. Diseño de máquinas de estado (FSM y ASM)
5. Dispositivos lógico programables (FPGA y CPLD)
6. Herramientas CAD para síntesis lógica
7. Arquitectura de microprocesadores (casos de estudio: MIPS unicyclo/multicyclo)
8. Arquitectura de sistemas digitales
9. Técnicas de optimización de desempeño (velocidad, potencia, área)
10. Verificación de sistemas digitales.



ITESO
Universidad Jesuita
de Guadalajara

Metodologías de enseñanza este seminario esta planeado para realizarse con 3hrs. bajo conducción docente (BCD) de un tutor en el laboratorio de diseño y 5hrs. de trabajo independiente (TIE) en o fuera del laboratorio de diseño. El profesor empleará alguna actividad presencial o virtual “talleres de metodologías, asesorías, etc.” relacionada con los temas/subtemas guía y las asignaturas IDI para que los estudiantes vayan consiguiendo gradualmente los entregables en esta etapa de su proyecto de obtención de grado. Se espera que el estudiante dedique por lo menos 8hrs/semana a esta asignatura incluyendo actividades presenciales y extra-clase.

Criterios y procedimientos de evaluación y acreditación:

La evaluación del curso se lleva a cabo mediante Exámenes, Tareas, y Proyecto.

La calificación final es el promedio de:

Exámenes 40%

Tareas/prácticas 30%

Reporte de proyecto ligado a IDI2 30%

La calificación mínima aprobatoria del curso es de 70/100.

Referencias:

Libros de texto

[1] Advanced Digital Design with the Verilog HDL, Michael D. Ciletti, Pearson Education, Inc, 2003.

[2] Verilog HDL, Samir Palnitkar, Prentice Hall PTR, 2003.

[3] Digital Design: An Embedded Systems Approach Using Verilog, Peter J. Ashenden, Morgan Kaufmann Publishers Inc, 2007.

Artículos/tutoriales

[4] Varios artículos y tutoriales sobre diseño de sistemas digitales integrados disponibles en línea.



ITESO
Universidad Jesuita
de Guadalajara

Nombre de la asignatura: Herramientas de programación para automatización de diseño de circuitos integrados

Descripción: En este curso, el alumno desarrolla competencias para aplicar estrategias y metodologías de diseño orientadas a optimizar el tiempo empleado en el diseño e integración de sistemas electrónicos en tecnología de circuitos VLSI (very large scale integration). A lo largo del curso el estudiante diseña y aplica scripts en Linux (Shell) así como en lenguajes de programación Tcl, Perl y Python, en combinación con herramientas CAD (Computer-Aided Design) para automatizar actividades rutinarias del proceso de diseño de circuitos integrados digitales y de señal mixta complejos.

Objetivo: Aplicar eficientemente lenguajes de programación Tcl, Perl y Python en combinación con herramientas de diseño de circuitos integrados para reducir el tiempo de diseño y mejorar la calidad de los diseños realizados.

Temas y subtemas:

1. Introducción a programación en Linux
 - 1.1. Programación (scripting) usando el lenguaje Shell de Linux
 - 1.2. Intérpretes de comandos Shell (sh, bsh, csh, ksh)
 - 1.3. Lista de comandos, variables, operadores y funciones Shell
 - 1.4. Reglas de sintaxis para crear programas con Shell
 - 1.5. Estructuras básicas de programación Shell
 - 1.6. Crear, depurar y ejecutar programas Shell
 - 1.7. Ejercicios de aplicación “Scripts c-shell” a automatizar rutinas de diseño/simulación de circuitos VLSI.



ITESO
Universidad Jesuita
de Guadalajara

2. Introducción a programación en lenguaje Tcl
 - 2.1. Comandos, variables, funciones, sentencias de control, listas, arreglos, y operadores Tcl para programación
 - 2.2. Reglas de sintaxis para crear programas Tcl
 - 2.3. Estructuras básicas de programación Tcl
 - 2.4. Crear, depurar y ejecutar programas Tcl
 - 2.5. Ejercicios de programación Tcl a automatizar rutinas de diseño/simulación de circuitos VLSI.
3. Introducción a programación en lenguaje Perl
 - 3.1. Comandos, variables, funciones, sentencias de control, listas, arreglos, y operadores Perl para programación
 - 3.2. Reglas de sintaxis para crear programas Perl
 - 3.3. Estructuras básicas de programación Perl
 - 3.4. Crear, depurar y ejecutar programas Perl
 - 3.5. Ejercicios de aplicación de programación Perl a automatizar rutinas de diseño/simulación de circuitos VLSI
4. Introducción a programación en lenguaje Python
 - 4.1. Comandos, variables, funciones, sentencias de control, listas, arreglos, y operadores Python para programación.
 - 4.2. Reglas de sintaxis para crear programas Python
 - 4.3. Crear, depurar y ejecutar programas Python
 - 4.4. Ejercicios de aplicación de programas Python a automatizar rutinas de diseño/simulación de circuitos VLSI.



ITESO
Universidad Jesuita
de Guadalajara

Metodologías de enseñanza este seminario esta planeado para realizarse con 3hrs. bajo conducción docente (BCD) de un profesor (o varios profesores) en el laboratorio de diseño y 5hrs. de trabajo independiente (TIE) en o fuera del laboratorio de diseño. El profesor empleará alguna actividad presencial o virtual “talleres de metodologías, asesorías, etc.” relacionada con los temas/subtemas guía y las asignaturas IDI para que los estudiantes vayan consiguiendo gradualmente los entregables en esta etapa de su proyecto de obtención de grado. Se espera que el estudiante dedique por lo menos 8hrs/semana a esta asignatura incluyendo actividades presenciales y extraclase.

Criterios y procedimientos de evaluación y acreditación:

La evaluación del curso se lleva a cabo mediante Exámenes, Tareas, y Proyecto.

La calificación final es el promedio de:

4 Exámenes	30%
Tareas y prácticas	30%
Proyecto final (ligado a IDI-2, IDI-3 o IDI-4)	40%

La calificación mínima aprobatoria del curso es de 70/100.

Referencias:

Libros de texto/tutoriales/artículos

[1] Linux Shell Scripting Tutorial, v1.05r3: A Beginner's handbook (disponible en línea), Vivek G. Gite
NIX CRAFT Technologies, 1999.

[2] Tutorial: Unix Shell Scripts (disponible en línea), Norman Matloff, 2008.

[3] Scripting with Perl and Tcl (disponible en línea), Hans Petter Langtangen, Simula Research
Laboratory and Department of Informatics, University of Oslo.

[4] Programming Perl, 3rd Ed., Larry Wall, Tom Christiansen, and Jon Orwant, O'Reilly, 2000.



ITESO

Universidad Jesuita
de Guadalajara

- [5] Python Scripting for Computational Science, Hans Petter Langtangen, Simula Research Laboratory and Department of Informatics, University of Oslo, 2004.
- [6] Learning Python, 3rd Ed., Mark Lutz, O'Reilly, 2007.
- [7] Varios artículos y tutoriales sobre programación Linux, tcl, perl y Python disponibles en línea.



ITESO
Universidad Jesuita
de Guadalajara

ESPECIALIDAD EN DISEÑO DE SISTEMAS EN CHIP
DEPARTAMENTO DE ELECTRÓNICA, SISTEMAS E INFORMÁTICA

Bloque de Asignaturas Electivas



ITESO
Universidad Jesuita
de Guadalajara

Nombre de la asignatura: Diseño de circuitos integrados digitales

Descripción: En este curso el estudiante diseñara compuertas lógicas, decodificadores, elementos de memoria, máquinas de estado y sistemas digitales complejos con diferentes familias o estilos lógicos, a nivel transistor utilizando tecnología CMOS. Sera capaz de analizar y/o diseñar un sistema digital en diferentes niveles de abstracción como son dispositivo, compuerta, bloque, sistema y circuito integrado. Su análisis incluye pero no está limitado al compromiso de las figuras de mérito más importantes como son retardos, área, consumo de potencia, ruteo, integridad de la señal, temporización y sincronización. Se hará uso intensivo de herramientas de diseño de circuitos integrados de uso industrial y profesional, desde la generación de esquemático, layout y en diseño post-layout. Los sistemas digitales a diseñar deberán tomarse de la lista de proyectos de obtención de grado administrados desde los seminarios IDI, por ejemplo Buffer I/O, Transmisor serial, Red de distribución de reloj, Distribución de alimentación, máquinas de estado, memoria RAM, Flip-flops de alto rendimiento, ALU, convolucionador sistólico, multiplicador de bajo consumo de potencia, procesadores de consola de videojuegos y sistemas CDR (Clock Data Recovery). El estudiante entrega reporte de su diseño o investigación, artículo en formato IEEE, poster de su proyecto y expone los resultados en el seminario del curso.

Objetivo: Diseñar un circuito integrado digital a nivel físico

Temas y subtemas:

1. Caracterización del desempeño de estructuras CMOS.
 - 1.1. Circuito inversor CMOS.
 - 1.2. Estimación de retardo.
 - 1.3. Margen de ruido.
 - 1.4. Consumo de potencia.
 - 1.5. Compuerta de transmisión CMOS
 - 1.6. Simulación SPICE (Oscilador de Anillo, Superbuffer, Ctos. Especiales).
 - 1.7. Efectos no ideales.
2. Circuitos combinacionales CMOS.
 - 2.1. Estilos lógicos estáticos.
 - 2.2. Estilos lógicos dinámicos.
 - 2.3. Técnicas de dimensionamiento.



ITESO

Universidad Jesuita
de Guadalajara

Tareas y prácticas: 40%

Reporte de proyecto ligado a IDIs: 40%

La calificación mínima aprobatoria del curso es de 70/100.

Referencias:

Libros de texto

- [1] Digital Integrated Circuits: a design perspective, Jan M. Rabaey, Anantha Chandrakasan, y Borivoje Nikolic, Prentice hall, 2002.
- [2] Deep-Submicron CMOS ICs, Harry Veendrick, Springer, 2000.
- [3] Principles of CMOS VLSI Design 2nd edition, Neil Weste, Kamran Eshraghian, Addison-Wesley Publishing Company, 2010.
- [4] Analysis and Design of Digital Integrated Circuits, David A. Hodges, Horace G. Jackson, Resve Saleh, 2003.
- [5] CMOS Digital Integrated Circuits Analysis & Design, Sung-Mo Kang Steve, Yusuf Leblebici, Mc Graw Hill, 2002.
- [6] Digital Integrated Circuit Design, Ken Martin, Oxford University Press, 1999.
- [7] Varios artículos y tutoriales sobre sobre diseño de circuitos integrados digitales disponibles en línea.



ITESO
Universidad Jesuita
de Guadalajara

Nombre de la asignatura: Prueba de circuitos integrados

Descripción: En este curso el alumno desarrollara la competencia para comprender los conceptos de fallas de fabricación, modelos de fallas y la aplicación de metodologías y herramientas en el desarrollo de un conjunto de pruebas de fabricación orientadas a asegurar la calidad en el proceso de fabricación de circuitos integrados.

Objetivo: Analizar y modelar fallas de fabricación de circuitos integrados.

Temas y subtemas:

1. Defectos de corto circuito
2. Defectos de circuito abierto
3. Modelos de fallas (stuck-at, stuck-on/off)
4. Pruebas lógicas, de corriente y de retardo
5. Cobertura de fallas
6. Simulación de fallas
7. Recursos de diseño para prueba
8. Diseño Scan
9. Boundary Scan
10. Generación de patrones de prueba (lógico y transición)
11. Algoritmos D y Podem para generación de vectores
12. Proceso BIST
13. Generación y compactación de patrones (LFSR, MISR)
14. Algoritmos y métodos para prueba de memorias (RAM, ROM)
15. Scan para BIST lógico

Metodologías de enseñanza este curso esta planeado para realizarse con 3hrs. bajo conducción docente (BCD) de un profesor (o varios profesores) en el laboratorio de diseño y 5hrs. de trabajo independiente (TIE) por parte del alumno en o fuera del laboratorio de diseño. El profesor empleará alguna actividad presencial o virtual “talleres de metodologías, asesorías, etc.” relacionada con los temas/subtemas guía y las asignaturas IDI para que los estudiantes vayan consiguiendo gradualmente los entregables en esta



ITESO
Universidad Jesuita
de Guadalajara

etapa de su proyecto de obtención de grado. Se espera que el estudiante dedique por lo menos 8hrs/semana a esta asignatura incluyendo actividades presenciales y extra-clase.

Criterios y procedimientos de evaluación y acreditación:

La evaluación del curso se lleva a cabo mediante Exámenes, Tareas, Prácticas y Proyecto. La calificación final es el promedio ponderado de:

Exámenes (30%)

Tareas y prácticas (30%)

Reporte de proyecto ligado a IDI (40%).

La calificación mínima aprobatoria del curso es de 70/100.

Referencias:

Libros de texto

[1] CMOS Electronics How it Works, How it Fails, Jaime Segura, Charles F. Hawkins, IEEE Press, 2004.

[2] Logic Testing and Design for Testability, Hideo Fujiwara, The MIT Press, 1985.

[3] Timing Optimization Through Clock Skew Scheduling, Ivan S. Kourtev, Eby G. Friedman
Kluwer Academic Publisher, 2010.

[4] System-on-Chip Test Architectures: Nanometer Design for Testability (Systems on Silicon, Laung-Terng Wang, Charles E. Stroud and Nur A. Toubia, Laung-Terng, Wang, 2007.

[5] High-Level Test Synthesis of Digital VLSI, Mike Tien-Chien Lee, Artech House, 1997.

[6] Built In Test for VLSI: Pseudorandom Techniques, Paul H. Bardell, Wiley-Interscience, 1987.

[7] Advanced in CAD for VLSI: VLSI Testing, North-Holland, T. W. Williams, Elsevier Science Ltd, 1986.



ITESO

Universidad Jesuita
de Guadalajara

Tutoriales/Artículos

ESPECIALIDAD EN DISEÑO DE SISTEMAS EN CHIP
DEPARTAMENTO DE ELECTRÓNICA, SISTEMAS E INFORMÁTICA

[8] Varios artículos y tutoriales sobre prueba de circuitos integrados digitales disponibles en línea.



ITESO
Universidad Jesuita
de Guadalajara

Nombre de la asignatura: Verificación de sistemas digitales

Descripción: En este curso el alumno desarrollara la competencia para aplicar metodologías y herramientas para la verificación de sistemas digitales, usando diferentes metodologías para su realización y lenguajes de descripción de hardware. Se utilizaran herramientas de automatización como apoyo para los procesos de implementación del ambiente y métodos de verificación y para la ejecución y análisis de las pruebas de verificación.

Objetivo: Desarrollar una metodología de verificación funcional, estructural, y modo mixto de circuitos integrados digitales.

Temas y subtemas:

- 1) Lenguajes de descripción de hardware (SystemVerilog)
- 2) Herramientas de automatización para simulación lógica
- 3) Flujo de verificación en la metodología de desarrollo de circuitos integrados
- 4) Jerarquía de modelos de implementación
- 5) Análisis de condiciones erróneas
- 6) Modelos de referencia
- 7) Plan de verificación
- 8) Cobertura funcional
- 9) Metodologías de verificación y niveles de jerarquía
- 10) Ambiente de verificación: métodos, monitores, chequeadores, puntos de cobertura
- 11) Verificación funcional, estructural y modo mixto
- 12) Ejecución y análisis de la verificación

Metodologías de enseñanza este curso esta planeado para realizarse con 3hrs. bajo conducción docente (BCD) de un profesor (o varios profesores) en el laboratorio de diseño y 5hrs. de trabajo independiente (TIE) por parte del alumno en o fuera del laboratorio de diseño. El profesor empleará alguna actividad presencial o virtual “talleres de metodologías, asesorías, etc.” relacionada con los temas/subtemas guía y las asignaturas IDI para que los estudiantes vayan consiguiendo gradualmente los entregables en esta

etapa de su proyecto de obtención de grado. Se espera que el estudiante dedique por lo menos 8hrs/semana a esta asignatura incluyendo actividades presenciales y extra-clase.

Criterios y procedimientos de evaluación y acreditación:

La evaluación del curso se lleva a cabo mediante Exámenes, Tareas, Prácticas y Proyecto. La calificación final es el promedio ponderado de:

1 Exámenes Parcial	15%),
1 Examen Final	15%),
Tareas	30%
Reporte de proyecto ligado a IDIs	40%.

La calificación mínima aprobatoria del curso es de 70/100.

Referencias:

Libros de texto

[1] SystemVerilog for Design, a Guide for Using SystemVerilog for Hardware Design and Modeling

P. Moorby, Peter Flake, Simon Davidmann, Stuart Sutherland, Springer, 2013.

[2] SystemVerilog for Verification, a Guide to Learning the Testbench Language Features, 3rd Edition

Chris Spear, Springer, 2012.

[3] IEEE Std 1800 – 2005: IEEE Standard for SystemVerilog Unified Hardware Design, Specification, and Verification Language IEEE, IEEE computer society, 2009.

[4] SystemVerilog for Design, a Guide for Using SystemVerilog for Hardware Design and Modeling language, IEEE, Springer, 2003.

[5] Digital Integrated Circuits: a design perspective, 2a edición, Jan M. Rabaey, Anantha Chandrakasan, y Borivoje Nikolic, Prentice Hall, 2003.



ITESO
Universidad Jesuita
de Guadalajara

[6] Writing Testbenches Using SystemVerilog, Janick Bergeron, Kluwer Academic, Springer, 2006.

Tutoriales/artículos

[7] Varios artículos y tutoriales sobre sobre verificación de circuitos integrados digitales disponibles en línea.



ITESO
Universidad Jesuita
de Guadalajara

Nombre de la asignatura: Tópicos avanzados de diseño VLSI

Descripción: Este curso se enfoca en el estudio de algunos temas avanzados de diseño físico en tecnologías de gran escala de integración (VLSI-por sus siglas en inglés). En el aspecto teórico, se centra en el análisis de los principales compromisos de diseño de circuitos integrados para fiabilidad y limitaciones de fabricación, estimación de potencia, reducción de ruido y minimización de fallas. En la parte práctica, se aplican los conceptos adquiridos en la realización de prácticas de laboratorio y en un proyecto final a realizarse en equipo. El estudiante hará uso intensivo de herramientas de diseño VLSI de las empresas Cadence y Mentor Graphics, así como de lenguajes de programación para el diseño y el análisis de los circuitos propuestos.

Objetivo: Diseñar circuitos integrados tomando en cuenta consideraciones de gran escala de integración, fiabilidad, y manufacturabilidad.

Temas y subtemas:

1. Introducción al diseño VLSI
 - 1.1. Proceso de diseño VLSI
 - 1.2. Niveles de abstracción
 - 1.3. Métricas de calidad en diseño VLSI
2. Proceso de fabricación de dispositivos y circuitos integrados
 - 2.1. Tecnologías de fabricación
 - 2.2. Fabricación de dispositivos
 - 2.3. Interconexión de dispositivos
3. Diseño físico y fiabilidad (Design for reliability)
 - 3.1. Escalamiento de dispositivos e interconexiones y sus efectos
 - 3.2. Estructuras de protección electrostática
 - 3.3. Esquemas de distribución de reloj
 - 3.4. Esquemas de distribución de polarización y tierra
 - 3.5. Fenómenos no deseados que afectan la calidad de un diseño VLSI: ground bounce, crosstalk, latchup, voltage drop, electromigration, self heating, etc.
 - 3.6. Técnicas de reducción de fenómenos no deseados.
4. Diseño para manufactura (DFM: Design for manufacturability or manufacturing)



ITESO
Universidad Jesuita
de Guadalajara

- 4.1. Control del proceso de fotolitografía
- 4.2. Técnicas para mejora de resolución
- 4.3. Diseño físico para DFM
- 4.4. Técnicas para mejora de producción (yield)

Metodologías de enseñanza este curso esta planeado para realizarse con 3hrs. bajo conducción docente (BCD) de un profesor (o varios profesores) en el laboratorio de diseño y 5hrs. de trabajo independiente (TIE) en o fuera del laboratorio de diseño. El profesor empleará alguna actividad presencial o virtual como talleres de metodologías, asesorías, etc. relacionada con los temas/subtemas guía y las asignaturas IDI para que los estudiantes vayan consiguiendo gradualmente los entregables en esta etapa de su proyecto de obtención de grado. Se espera que el estudiante dedique por lo menos 8hrs/semana a esta asignatura incluyendo actividades presenciales y extra-clase.

Criterios y procedimientos de evaluación y acreditación:

La evaluación del curso se lleva a cabo mediante Exámenes, Tareas, y Proyecto.

La calificación final es el promedio de:

3 Exámenes parciales	30%
Prácticas de laboratorio (ligadas a IDI-3 e IDI-4)	30%
Proyecto final (ligado a IDI-3 e IDI-4)	40%

La calificación mínima aprobatoria del curso es de 70/100.

Referencias:

Libros de texto

[1] On and Off-Chip Crosstalk Avoidance in VLSI Design, Chunjie Duan, Brock J. LaMeres, and Sunil P. Khatri, Edit. Springer, 2010



ITESO
Universidad Jesuita
de Guadalajara

[2] VLSI Physical Design: From Graph Partitioning to Timing Closure, Andrew B. Kahng, Jens Lienig, Igor L. Markov, and Jin Hu, Edit. Springer, 2011.

[3] CMOS VLSI Design: A Circuits and Systems Perspective (4th Edition), Neil Weste, and David Harris, Edit. Addison Wesley, 2011.

[4] Digital VLSI Chip Design with Cadence and Synopsys CAD Tools, Erik Brunvand, 2009.

[5] Algorithms for VLSI Physical Design Automation, N. Sherwani, Edit. Kluwer Academic Publishers, 1999.

Artículos/tutoriales: Varios artículos y tutoriales sobre diseño de ASICs disponibles en línea.

[6] Amirkoushyar Ziabari, Je-Hyoung Park, Ehsan K. Ardestani, Jose Renau, Sung-Mo Kang, and Ali Shakouri, Power Blurring: Fast Static and Transient Thermal Analysis Method for Packaged Integrated Circuits and Power Devices, IEEE Trans. VLSI Systems, pp. 1 – 14, 2014.

[7] Rachel Courtland, The Status of Moore's Law: It's Complicated, IEEE spectrum, pp. 1 – 3, Oct. 28, 2013.



ITESO
Universidad Jesuita
de Guadalajara

Nombre de la asignatura: Arquitecturas de Sistemas en Chip

Descripción: las arquitecturas de Sistemas en Chip (SoC por sus siglas en inglés) son sistemas compuestos de módulos de lógica reconfigurable, memorias, procesadores, DSPs, I/Os, UARTs, y componentes analógicos integrados en un solo chip. En este curso, los diseñadores identificarán los bloques y funcionalidades de un SoC y experimentarán las capacidades del SoC para una aplicación específica, mediante la reprogramación de la lógica reconfigurable y/o los procesadores de un SoC comercial.

Objetivo: identificar las capacidades de funcionalidad de un SoC.

Temas y subtemas

1. Conceptos Generales de SoC
 - 1.1. Definiciones (SoC, IP, Bus)
 - 1.2. Diagrama a bloques
 - 1.3. Metodología de Re-uso
 - 1.4. Medición de desempeño
2. Bloques principales de un SoC
 - 2.1. Arquitecturas de SoC (Hardware)
 - 2.2. Procesador
 - 2.3. Periféricos
 - 2.4. IPs
 - 2.5. Estructura de Buses (AMBA, Core Connect, etc.)
 - 2.6. Estructura de dispositivos I/O.
 - 2.7. Interruptores, DMA y drivers.
3. Co-diseño
 - 3.1. Modelos de SoC.
 - 3.2. Partición HW/SW
 - 3.3. Lenguajes de diseño
 - 3.4. Síntesis de alto nivel: C a RTL
 - 3.5. Real-Time Scheduling
4. Caso de estudio: Quark SoC
 - 4.1. Diagrama a bloques
 - 4.2. ISA
5. Tarjeta Galileo



ITESO Programa a bloques
Universidad Jesuita de Guadalajara **Start**

5.3. IDE

5.4. Aplicaciones

6. Network on Chip.

Metodología de enseñanza. Este curso esta planeado para realizarse con 3hrs. bajo conducción docente (BCD) de un profesor (o varios profesores) en el laboratorio de diseño y 5hrs. de trabajo independiente (TIE) en o fuera del laboratorio de diseño. El profesor empleará actividades presenciales o virtuales tales como talleres de metodologías, asesorías, etc. con el kit Intel-Galileo para que los estudiantes identifiquen las capacidades de un SoC y realicen alguna aplicación preferentemente ligada a un seminario IDI. Se espera que el estudiante dedique por lo menos 8hrs/semana a esta asignatura incluyendo actividades presenciales y extra-clase.

Criterios y procedimientos de evaluación y acreditación:

La evaluación del curso se lleva a cabo mediante Exámenes, Tareas, y Proyecto.

La calificación final es el promedio de:

2 Exámenes parciales	30%
Prácticas de laboratorio	30%
Proyecto final (ligado a IDI-3 e IDI-4)	40%

La calificación mínima aprobatoria del curso es de 70/100.

Referencias:

[1] Getting Started with Intel Galileo, Matt Richardson, Edit. Brian Jepson, 2014.

[2] On-Chip Communication Architectures: System on Chip Interconnect (Systems on Silicon), Sudeep Pasricha, and Nikil Dutt, Series editor Wayne wolf, Georgia Institute of Technology, 2008.

[3] Advanced Chip Design, Practical Examples in Verilog, Mr Kishore K Mishra, Edit. CreateSpace Independent Publishing Platform, 2013.

[4] Modern VLSI design (System-on-chip design), 4th ed., W. Wolf, Pearson Education. 2009

[5] R. A. Bergamaschi, et. al, "Automating the Design of Systems-on-Chip Using Cores", IEEE Design & Test Magazine, September, 2001.



- [6] **ITESO** Processor Systems-on-Chips, Morgan Kaufmann, Edit. A. Jerraya and W. Wolf, 2004.
Universidad Jesuita
de Guadalajara
- [7] Winning the SoC Revolution: Experiences in Real Design, Grant Martin and Henry Chang, Edit. Kluwer, 2003.
- [8] Low-Power Processors and Systems on Chips, CRC Press Taylor & Francis, 2006.
- [9] Imed Moussa and Thierry Roudier, “IP Modeling and reuse for SoC design using Standard Bus,”
<http://www.us.design-reuse.com/articles/article4837.html>.
- [10] Tutoriales en línea de la tarjeta Galileo:
<http://www.intel.com/content/www/us/en/do-it-yourself/galileo-maker-quark-board.html>
<http://www.intel.com/content/www/us/en/education/university/galileo-for-universities.html>
<http://www.intel.com/content/www/us/en/intelligent-systems/galileo/galileo-overview.html>



ITESO
Universidad Jesuita
de Guadalajara

Nombre de la asignatura: Diseño avanzado de circuitos integrados analógicos

Descripción: En este curso el alumno se habilita para el análisis y diseño de circuitos electrónicos analógicos de mayor complejidad en tecnología CMOS, tales como filtros analógicos (pasivos, activos, OTA-C y gm_C) así como de lazos de enganche de fase y circuitos de lazo de enganche de retardo a nivel esquemático y layout. A lo largo del curso se hace uso intensivo de herramientas CAD para la simulación comportamental y circuital, así como para el diseño físico (layout) y verificación de layout.

Objetivo: Diseñar (circuital y físico) de filtros analógicos, y circuitos de lazos de amarre en fase en tecnología CMOS.

Temas y subtemas:

1. FILTROS ANALÓGICOS

1.1 Conceptos básicos de filtros electrónicos

1.2 Casos de estudio de:

1.2.1 Filtros pasivos,

1.2.2 Filtros activos,

1.2.3 Filtros tipo OTA_C

1.2.4 Filtros gm_C.

2. CIRCUITOS DE LAZO DE ENGANCHE DE FASE

2.1 Modelo lineal de lazo de enganche de fase (PLL)

2.2 Componentes de un circuito PLL

2.3 Dinámica de circuitos PLL

2.4 Efectos no ideales en circuitos PLL

2.5 Circuitos de lazo de enganche de retardo (DLL)

2.6 Respuesta en frecuencia de circuitos de lazo de enganche de fase

2.7 Diseño de circuito PLL



ITESO
Universidad Jesuita
de Guadalajara

Metodologías de enseñanza este seminario esta planeado para realizarse con 3hrs. bajo conducción docente (BCD) de un profesor (o varios profesores) en el laboratorio de diseño y 5hrs. de trabajo independiente (TIE) en o fuera del laboratorio de diseño. El profesor empleará alguna actividad presencial o virtual “talleres de metodologías, asesorías, etc.” relacionada con los temas/subtemas guía y las asignaturas IDI para que los estudiantes vayan consiguiendo gradualmente los entregables en esta etapa de su proyecto de obtención de grado. Se espera que el estudiante dedique por lo menos 8hrs/semana a esta asignatura incluyendo actividades presenciales y extra-clase.

Criterios y procedimientos de evaluación y acreditación:

La evaluación del curso se lleva a cabo mediante Exámenes, Tareas, y Proyecto.

La calificación final es el promedio de:

2 Exámenes Parciales	30%,
Tareas	30%,
1 Proyecto Final ligado a IDIs	40%.

La calificación mínima aprobatoria del curso es de 70/100.

Referencias:

Libros de texto/tutoriales/artículos

[1] Active and passive analog filter design, an introduction, Lawrence P. Huelsmann, McGraw Hill, 1993.

[2] Phase-Locked Loop Circuit Design, Dan H. Wolaver, Prentice Hall, 1991.

[3] Design of Analog CMOS Integrated Circuits, Behzad Razavi, McGraw Hill, 2001.

[4] Design of High Frequency Integrated Analogue Filters, Yichuang Sun, The Institution of Electrical Engineers (IEE), 2002.

[5] Analog Design for CMOS VLSI Systems, Franco Maloberti, Kluwer Academic Publishers, 2001.



ITESO

Universidad Jesuita
de Guadalajara

[6] CMOS Circuit Design, Layout and Simulation, Jacob Baker, Boyce, IEEE Press, 1997.

[7] Varios artículos y tutoriales sobre diseño de circuitos integrados analógicos disponibles en línea.



ITESO
Universidad Jesuita
de Guadalajara

Nombre de la asignatura: Tópicos avanzados en diseño de circuitos integrados analógicos

Descripción: En este curso el alumno desarrolla las habilidades necesarias para 1) identificar las principales limitaciones de celdas analógicas convencionales realizadas en tecnología CMOS y 2) implementar metodologías de diseño avanzadas para aumentar su desempeño. Las técnicas de diseño que se aplican comprenden la integración de etapas de ganancia y retroalimentación local y global para la formación de nodos de baja y alta impedancia con lo que se pueden crear por ejemplo circuitos referencias de voltaje y espejos de corriente de mayor precisión. Mediante las técnicas de diseño que se emplean se puede mejorar uno o más aspectos del d, u desempeño de circuitos convencionales. Los aspectos que se mejoran son ganancia, linealidad, bajo voltaje y bajo consumo de potencia, entre otros. El curso incluye sesiones de laboratorio para simulación y diseño físico avanzado (layout) asistido por computadora de los circuitos diseñados en el curso. Para el diseño de circuitos en la computadora se utiliza software de diseño de circuitos integrados de la empresa Cadence.

Objetivo: Diseñar (circuital y físico) arquitecturas de bajo voltaje y alto desempeño basadas en amplificadores diferenciales.

Temas y subtemas:

- 1.1.1. Limitantes de celdas analógicas convencionales
- 1.2.2. Técnicas para mejorar la operación de celdas convencionales
- 1.3.3. Transistores de compuerta flotante: "Floating Gate" (FG)
- 1.4.4. Referencias de voltaje: seguidores de voltaje
- 1.5.5. Referencias de corriente: topologías avanzadas de espejos de corriente
- 1.6.6. Diseño de amplificadores utilizando las técnicas de mejoramiento de operación
- 1.7.6.1 Convertidor de Voltaje a Corriente de alta linealidad
- 1.8.4.2 Par pseudo diferencial
- 1.9.4.3 Multiplicador de 4 cuadrantes de dos señales diferenciales
- 1.10. 4.4 Amplificador de riel a riel
- 1.11. 4.5 Amplificadores completamente diferenciales
- 1.12. 4.6 Etapas de salida Clase AB
- 1.13. 7. Implementación de amplificadores en sistemas analógicos
- 1.14. 5.1 Modulador
- 1.15. 5.2 Generador de funciones



ITESO
Universidad Jesuita
de Guadalajara

- 1.16. 5.3 Convertidor de redistribución de carga C2C (DAC)
- 1.17. 5.4 Filtro de 60Hz; escalador de impedancias

Metodologías de enseñanza este curso esta planeado para realizarse con 3hrs. bajo conducción docente (BCD) de un profesor (o varios profesores) en el laboratorio de diseño y 5hrs. de trabajo independiente (TIE) en o fuera del laboratorio de diseño. El profesor empleará alguna actividad presencial o virtual como talleres de metodologías, asesorías, etc. relacionada con los temas/subtemas guía y las asignaturas IDI para que los estudiantes vayan consiguiendo gradualmente los entregables en esta etapa de su proyecto de obtención de grado. Se espera que el estudiante dedique por lo menos 8hrs/semana a esta asignatura incluyendo actividades presenciales y extra-clase.

Criterios y procedimientos de evaluación y acreditación:

La evaluación del curso se lleva a cabo mediante Exámenes, Tareas, y Proyecto.

La calificación final es el promedio de:

3 Exámenes parciales	30%
Prácticas de laboratorio (ligadas a IDI-3 e IDI-4)	30%
Proyecto final (ligado a IDI-3 e IDI-4)	40%

La calificación mínima aprobatoria del curso es de 70/100.

Referencias:

Libros de texto

- [1] CMOS Analog Circuits Design Phillip Allen, Douglas Holberg, Oxford University Press, 2011
- [2] Design of Analog CMOS Integrated Circuits, Behzad Razavi, McGraw Hill, 2001
- [3] Analog Integrated Circuit Design, D. Johns & K. Martin, John Wiley & sons, 1997
- [5] CMOS Circuit Design, Layout and Simulation, Jacob Baker, Boyce, IEEE Press, 1997



ITESO
Universidad Jesuita
de Guadalajara

ESPECIALIDAD EN DISEÑO DE SISTEMAS EN CHIP
DEPARTAMENTO DE ELECTRÓNICA, SISTEMAS E INFORMÁTICA

Bloque de asignaturas IDI



ITESO
Universidad Jesuita
de Guadalajara

Nombre de la asignatura: IDI 1, Planeación del proyecto

Descripción: En este seminario, el estudiante realiza la planeación de su trabajo para obtener el grado en un año. Con base en el enunciado del alcance del sistema (o proyecto) que elige desarrollar, la arquitectura, las especificaciones, el plan de verificación y el plan de pruebas, el estudiante divide el proyecto en partes o etapas con su respectiva estimación de la duración de cada etapa, el cronograma y la ruta crítica, el staff requerido y su costo, el plan de riesgos, el plan de calidad y el plan de comunicación. En este seminario el estudiante hace uso de software de administración de proyectos como Microsoft Project u otros, realiza la lectura de artículos técnicos del área de diseño de circuitos VLSI y la redacción de un ensayo técnico.

Objetivo: Realizar la planeación de su trabajo de obtención de grado y proyectar el plan de ejecución de su proyecto a realizarse en un año.

Temas y subtemas:

1. Metodología de administración de proyectos
 - 1.1. Introducción a Microsoft Project.
2. Metodología de redacción de documentos técnicos
 - 2.1 Búsqueda y análisis de información.
3. Nombres y roles de personas que participan en el proyecto
4. Estructura Desglosada del Trabajo (EDT) del proyecto por fases
5. Cronograma del proyecto
 - 5.1. Estimación del costo
 - 5.2. Estimación del tamaño
 - 5.3. Estimación del esfuerzo
 - 5.4. Estimación de la duración
 - 5.5. Relaciones lógicas entre actividades
 - 5.6. Ruta crítica
6. Plan de riesgos
 - 6.1. Mapa de riesgos
 - 6.2. Control de riesgos
7. Plan de calidad
 - 7.1. Roles de stakeholders en el proceso



ITESO

Universidad Jesuita
de Guadalajara

8. Formación de Comunicaciones

8.1. Roles stakeholders en el proceso

Tutorías: El coordinador de la especialidad será el responsable de informar oportunamente a los estudiantes de posgrado el nombre del profesor que prestará el servicio de tutoría para la elaboración del trabajo para la obtención de grado, el plan de tutoría así como, el periodo de tiempo de dicha prestación.

El coordinador del programa verificará que el servicio de tutoría se preste de acuerdo con el plan definido. Si al término del plazo convenido, para prestar el servicio de tutoría ordinario o extraordinario el estudiante no ha terminado su trabajo para la obtención del grado, podrá acordar con el coordinador del programa un nuevo plan para prestar el servicio de tutoría extraordinario bajo el procedimiento indicado en las “Políticas de prestación de tutorías de posgrado” del ITESO.

Metodologías de enseñanza este seminario esta planeado para realizarse con 2hrs bajo conducción docente (BCD) de un tutor en salón de clase y 2hrs de trabajo independiente (TIE) del alumno en o fuera del salón de clase. Dependiendo de la magnitud del proyecto elegido para desarrollarse y de la cantidad de alumnos, se podrán formar equipos de 2 a 4 integrantes para el desarrollo del proyecto y cada equipo se le asignará un tutor. En el plan de proyecto se deberá especificar los nombres de los integrantes de equipo y del tutor. Se espera que el estudiante dedique por lo menos 4hrs/semana a esta asignatura incluyendo actividades presenciales y extra-clase.

En este seminario, el estudiante documentará con la guía del tutor su plan de proyecto, presentará y defenderá en foros internos programados a lo largo del periodo escolar los avances parciales de la elaboración de su plan de proyecto.

Para el logro de los entregables de este seminario, el tutor empleará varios de métodos de enseñanza tales como, talleres de metodologías con ejemplos ilustrativos de planificación de proyectos, elaboración de presentaciones, ejercicios y prácticas usando el software de planificación de proyectos, elaboración de reportes, coloquios internos, etc. El material y la información relacionada con este seminario será publicada por el tutor en la plataforma moodle a lo largo del periodo escolar. El seminario se lleva a cabo en español, sin embargo, algunas lecturas, tutoriales y otros materiales del curso podrán darse en idioma inglés. Se recomienda mantener comunicación constante con el tutor, con sus compañeros de grupo, con su de equipo de proyecto y con el coordinador del programa.



ITESO procedimientos de evaluación y acreditación:

Universidad Jesuita
de Guadalajara

Entregables y ponderación:

- 1) Reporte técnico del proyecto conforme al formato de reportes internos de la EDSEC (incluyendo fundamentación teórica del sistema (o proyecto) que elige desarrollar, enunciado del alcance, arquitectura, especificaciones, plan de verificación y plan de pruebas) 50%
- 2) Reporte de plan del proyecto (cronograma con ruta crítica, plan de calidad, plan de riesgos, y plan de comunicación) 50%

Referencias:

Libros de texto

[1] Administración de proyectos: guía para el aprendizaje, Francisco Rivera Martínez, Gisel Hernández Chávez, Pearson_Prentice-Hall, 2010

[2] Gestión de proyectos con TICs: introducción a MS Project con un ejemplo paso a paso, Iago Cano, Ediciones de la U, 2010

[3] Building a project work breakdown structure, Dennis P. Miller, CRC Press, 2008.

Artículos/tutoriales

[4] Formatos de artículos IEEE disponibles en línea.

[5] Formatos de presentaciones congresos IEEE, disponibles en línea.

[6] Varios artículos y tutoriales sobre planeación de proyectos disponibles en línea.



ITESO

Universidad Jesuita
de Guadalajara

Nombre de la asignatura: IDI 2 “Desarrollo de fase 1 del proyecto”

Descripción: En este seminario, el estudiante realiza el diseño de los circuitos de la primera fase del proyecto indicada en la EDT. Según el enunciado del alcance del proyecto, el diseño del sistema puede ser a nivel de script, a nivel compuerta, o a nivel esquemático de los circuitos. Los parámetros de proceso CMOS a emplearse dependerá de las especificaciones del sistema pudiendo ser cualquiera de las siguientes: 0.5um, 0.18um, 0.13um, 65nm o 45 nm. La simulación puede ser lógica, analógica o de señal mezclada. En la simulación de los módulos del sistema se emplearán scripts perl, tcl o python. En este seminario el estudiante hace uso intensivo de herramientas CAD para diseño de circuitos VLSI de las empresas Cadence y Mentor Graphics.

Objetivo: Realizar el diseño funcional de los circuitos de la fase 1 del proyecto.

Temas y subtemas:

1. Diseño funcional del sistema
 - 1.1. Diseño a nivel script (nivel RTL, o nivel macromodelo) de módulos del sistema
 - 1.2. Verificación del Modelo HDL de módulos del sistema
 - 1.3. Simulación lógica (o comportamental) de módulos del sistema
2. Optimización del desempeño del sistema
 - 2.1. Velocidad
 - 2.2. Consumo de potencia
 - 2.3. Área
 - 2.4. Otros parámetros de desempeño relevantes
3. Diseño full-custom de circuitos analógicos o circuitos digitales del sistema que necesiten optimizarse manualmente.
 - 3.1. Diseño esquemático de circuitos analógicos y circuitos digitales básicos
 - 3.2. Diseño funcional de las circuitos analógicos y circuitos digitales básicos
4. Verificación de circuitos full-custom.
 - 4.1. Verificación lógica
 - 4.2. Verificación de señal mezclada.



ITESO

Universidad Jesuita
de Guadalajara

Tutorías: El coordinador de la especialidad será el responsable de informar oportunamente a los estudiantes de posgrado el nombre del profesor que prestará el servicio de tutoría para la elaboración del trabajo para la obtención de grado, el plan de tutoría así como, el periodo de tiempo de dicha prestación.

El coordinador del programa verificará que el servicio de tutoría se preste de acuerdo con el plan definido. Si al término del plazo convenido, para prestar el servicio de tutoría ordinario o extraordinario el estudiante no ha terminado su trabajo para la obtención del grado, podrá acordar con el coordinador del programa un nuevo plan para prestar el servicio de tutoría extraordinario bajo el procedimiento indicado en las “Políticas de prestación de tutorías de posgrado” del ITESO.

Metodologías de enseñanza este seminario esta planeado para realizarse con 1hr bajo conducción docente (BCD) de un tutor por equipo en salón de clase y 3hrs de trabajo independiente (TIE) del alumno en o fuera del salón de clase. Se espera que el estudiante dedique por lo menos 4hrs/semana a esta asignatura incluyendo actividades presenciales y extraclase.

En este seminario, el estudiante desarrolla con la guía del tutor los bloques del sistema “fase-1” del segundo periodo escolar indicados en su plan de proyecto, elaborará presentaciones parciales del desarrollo de su proyecto y defenderá en foros internos programados a lo largo del periodo escolar. Al final elabora un reporte interno sobre el proyecto que desarrolla.

Para el logro de los entregables de este seminario, el tutor dará asesoría personalizada presencial y virtual al equipo de trabajo bajo su cargo sobre los problemas de diseño, de simulación, de verificación que se vayan presentando durante el desarrollo del proyecto. El material y la información relacionada con este seminario serán publicados por el tutor en la plataforma moodle a lo largo del periodo escolar. Los productos generados por los estudiantes también serán publicados por los estudiantes en la plataforma moodle. El seminario se lleva a cabo en español, sin embargo, algunas lecturas, tutoriales y otros materiales del curso podrán darse en idioma inglés.

Se recomienda a los estudiantes mantener comunicación constante con el tutor, con sus compañeros de grupo, con su equipo de proyecto y con el coordinador del programa.



ITESO
Universidad Jesuita
de Guadalajara

Criterios y procedimientos de evaluación y acreditación:

Entregables y ponderación:

- | | |
|--|-----|
| 1) Diseño funcional del sistema | 25% |
| 2) Diseño full-custom de algunos bloques del sistema | 25% |
| 3) Verificación de módulos y circuitos full-custom del sistema | 25% |
| 4) Reporte final de fase 1 del proyecto conforme al formato de reportes internos | 25% |

Referencias:

Libros de texto

[1] CMOS VLSI design: a circuits and systems perspective, 4th Ed., Weste, Neil and Harris, David, Addison-Wesley, 2011.

[2] Digital VLSI chip design with Cadence and Synopsis CAD tools, Erik Brunvand, 2009.

[3] CMOS Analog Circuit Design, Phillip E. Allen, Douglas R. Holberg, and Allen, Oxford University Press, 2011.

[4] System design using SoCs: reliability, maintainability, availability and suitability analysis, Peter Ateshian, Daniel Zuilaica, and Clifford Whitcom, 2010.

Artículos/tutoriales

[5] Varios artículos y tutoriales sobre diseño de circuitos VLSI, diseño de SoC disponibles en línea.



ITESO

Universidad Jesuita
de Guadalajara

Nombre de la asignatura: IDI 3 “Desarrollo de fase 2 del proyecto”

Descripción: En este seminario, el estudiante realiza el diseño de los circuitos de la segunda fase del proyecto indicada en la EDT. El diseño consistirá de la síntesis a nivel circuital y a nivel layout de los circuitos de la fase 1. Los parámetros de proceso CMOS a emplearse dependerá de las especificaciones del sistema pudiendo ser cualquiera de los siguientes: 0.5um, 0.18um, 0.13um, 65nm o 45 nm. La simulación puede ser digital, analógica o de señal mezclada. En la síntesis física pueden emplearse según se requiera, técnicas de layout full-custom o herramientas de síntesis física automatizada. En la verificación de reglas de diseño de layout (DRC) y LVS de celdas analógicas y digitales se emplearán scripts perl, tcl o python para limpieza de errores en el diseño. Se realiza la extracción de parásitas del layout, la simulación post-layout y verificación de esquinas PVT críticas de las celdas analógicas y digitales diseñadas. En este seminario el estudiante hace uso intensivo de software de diseño y verificación de circuitos VLSI de las empresas Cadence y Mentor Graphics (Automatic Layout Place and Route, y Automatic IC Routing).

Objetivo: Realizar el diseño de los circuitos de la fase 2 del proyecto.

Temas y subtemas:

1. Síntesis de los módulos del sistema
 - 1.1. Síntesis a nivel RTL de módulos del sistema
 - 1.2. Síntesis Lógica
 - 1.3. Verificación lógica
 - 1.3. Verificación AMS
2. Síntesis a nivel transistor de los circuitos
3. Simulación analógica (o de señal mezclada) de circuitos
 - 3.1. Simulación basada en scripting perl/tcl o python.
4. Síntesis física de circuitos
 - 4.1. Layout de módulos digitales empleando herramientas de síntesis física automatizada
 - 4.2. Layout full-custom de circuitos analógicos y digitales básicos del sistema o módulos que necesiten optimizarse manualmente.
5. Verificación (DRC y LVS) de layout de los módulos del sistema
 - 5.1. Verificación de layout basada en scripting perl/tcl o python.



ITESO
Universidad Jesuita
de Guadalajara

6. Extracción de parásitas del layout
 - 6.1. Simulación post-layout de módulos del sistema
7. Verificación de esquinas PVT críticas del sistema

Tutorías: El coordinador de la especialidad será el responsable de informar oportunamente a los estudiantes de posgrado el nombre del profesor que prestará el servicio de tutoría para la elaboración del trabajo para la obtención de grado, el plan de tutoría así como, el periodo de tiempo de dicha prestación.

El coordinador del programa verificará que el servicio de tutoría se preste de acuerdo con el plan definido. Si al término del plazo convenido, para prestar el servicio de tutoría ordinario o extraordinario el estudiante no ha terminado su trabajo para la obtención del grado, podrá acordar con el coordinador del programa un nuevo plan para prestar el servicio de tutoría extraordinario bajo el procedimiento indicado en las “Políticas de prestación de tutorías de posgrado” del ITESO.

Metodologías de enseñanza este seminario esta planeado para realizarse con 1hr bajo conducción docente (BCD) de un tutor por equipo en salón de clase y 3hrs de trabajo independiente (TIE) del alumno en o fuera del salón de clase. Se espera que el estudiante dedique por lo menos 4hrs/semana a esta asignatura incluyendo actividades presenciales y extraclase.

En este seminario, el estudiante desarrolla con la guía del tutor los bloques del sistema “fase-2” del tercer periodo escolar indicados en su plan de proyecto, elaborará presentaciones parciales del desarrollo de su proyecto y defenderá en foros internos programados a lo largo del periodo escolar. Al final elabora un reporte interno sobre el proyecto que desarrolla

Para el logro de los entregables de este seminario, el tutor dará asesoría personalizada presencial y virtual al equipo de trabajo bajo su cargo sobre los problemas de diseño, de simulación, de verificación que se vayan presentando durante el desarrollo del proyecto. El material y la información relacionada con este seminario serán publicados por el tutor en la plataforma moodle a lo largo del periodo escolar. Los productos generados por los estudiantes también serán publicados por los estudiantes en la plataforma moodle. El seminario se lleva a cabo en español, sin embargo, algunas lecturas, tutoriales y otros materiales del curso podrán darse en idioma inglés.

Se recomienda a los estudiantes mantener comunicación constante con el tutor, con sus compañeros de grupo, con su equipo de proyecto y con el coordinador del programa.



ITESO
Universidad Jesuita
de Guadalajara

Criterios y procedimientos de evaluación y acreditación:

El estudiante desarrolla con la guía del tutor, los diversos bloques de la segunda etapa de su proyecto y presenta los avances en foros internos programados a lo largo del periodo escolar. El estudiante documenta con la guía del tutor los avances parciales de su proyecto.

Entregables y ponderación:

Diseño de los módulos del sistema (nivel RTL, gate-level, nivel transistor)	35%
Layout de los módulos y circuitos analógicos y digitales básicos limpios de errores DRC y errores LVS	35%
Reporte final de fase 2 del proyecto conforme al formato de reportes internos	30%

Referencias:

Libros de texto

[1] CMOS VLSI design: a circuits and systems perspective, 4th Ed., Weste, Neil and Harris, David, Addison-Wesley, 2011.

[2] Digital VLSI chip design with Cadence and Synopsys CAD tools, Erik Brunvand, 2009.

[3] VLSI physical design: from graph partitioning to timing closure, Andrew B. Kahng, Jens Liening, Igor L. Markov, and Jin Hu, Springer, 2011.

[4] System design using SoCs: reliability, maintainability, availability and suitability analysis, Peter Ateshian, Daniel Zuilaica, and Clifford Whitcom, 2010.

Artículos/tutoriales

[5] Varios artículos y tutoriales sobre diseño de circuitos VLSI, diseño de SoC disponibles en línea.



ITESO

Universidad Jesuita
de Guadalajara

Nombre de la asignatura: IDI 4 “Desarrollo de fase 3 del proyecto”

Descripción: En este seminario, el estudiante con base al floorplan del sistema, diseña la red de distribución de polarización (power grid), la red de distribución de reloj (clock tree), el anillo de PADs, integra e interconecta los circuitos diseñados en las fases 1 a 3 al anillo de PADs; ejecuta el plan de verificación, genera el tapeout del chip y lo envía a fabricación. Los parámetros de proceso CMOS a emplearse dependerá de las especificaciones del sistema pudiendo ser cualquiera de las siguientes: 0.5um, 0.18um, 0.13um, 65nm o 45 nm. En este seminario el estudiante hace uso intensivo de software de diseño y verificación de circuitos VLSI de las empresas Cadence y Mentor Graphics.

Objetivo: Realizar el diseño de los circuitos de la fase 3 del proyecto.

Temas y subtemas:

1. Diseño de la red de distribución de polarización VDD, GND.
2. Diseño de la red de distribución de reloj (si aplica)
3. Diseño del anillo de PADs
4. Inserción e interconexión a la red de polarización, la red de distribución de reloj y al anillo de PADs los módulos del sistema diseñados en las fases 1 y 2.
5. Verificación del sistema
 - 5.1. Creación del ambiente de pruebas
 - 5.2. Creación de las pruebas
 - 5.3. Verificación a nivel RTL
 - 5.4. Verificación “Gate level”
 - 5.5. Verificación AMS
 - 5.6. Reference Model equivalence check
 - 5.7. Logic Equivalence check
 - 5.8. Static timing analysis.
 - 5.9. Clock Domain Crossing Check
 - 5.10. SCAN
6. Generación del tapeout del sistema sistema.
7. Evaluación y selección de encapsulado para el chip diseñado
8. Enviar diseño a MOSIS para fabricación.



ITESO
Universidad Jesuita
de Guadalajara

Tutorías: El coordinador de la especialidad será el responsable de informar oportunamente a los estudiantes de posgrado el nombre del profesor que prestará el servicio de tutoría para la elaboración del trabajo para la obtención de grado, el plan de tutoría así como, el periodo de tiempo de dicha prestación.

El coordinador del programa verificará que el servicio de tutoría se preste de acuerdo con el plan definido. Si al término del plazo convenido, para prestar el servicio de tutoría ordinario o extraordinario el estudiante no ha terminado su trabajo para la obtención del grado, podrá acordar con el coordinador del programa un nuevo plan para prestar el servicio de tutoría extraordinario bajo el procedimiento indicado en las “Políticas de prestación de tutorías de posgrado” del ITESO.

Metodologías de enseñanza este seminario esta planeado para realizarse con 1hr bajo conducción docente (BCD) de un tutor por equipo en salón de clase y 3hrs de trabajo independiente (TIE) del alumno en o fuera del salón de clase. Se espera que el estudiante dedique por lo menos 4hrs/semana a esta asignatura incluyendo actividades presenciales y extraclase.

En este seminario, el estudiante desarrolla con la guía del tutor los bloques del sistema “fase-3” del tercer periodo escolar indicados en su plan de proyecto, elaborará un reporte final (integrando los reportes de IDIs anteriores) del proyecto realizado y defenderá en foro interno programado al final del periodo escolar la conclusión de su proyecto.

Para el logro de los entregables de este seminario, el tutor dará asesoría personalizada presencial y virtual al equipo de trabajo bajo su cargo sobre los problemas de diseño, de simulación, de verificación que se vayan presentando durante el desarrollo del proyecto. El material y la información relacionada con este seminario serán publicados por el tutor en la plataforma moodle a lo largo del periodo escolar. Los productos generados por los estudiantes también serán publicados por los estudiantes en la plataforma moodle. El seminario se lleva a cabo en español, sin embargo, algunas lecturas, tutoriales y otros materiales del curso podrán darse en idioma inglés.

Se recomienda a los estudiantes mantener comunicación constante con el tutor, con sus compañeros de grupo, con su equipo de proyecto y con el coordinador del programa.



ITESO
Universidad Jesuita
de Guadalajara

Criterios y procedimientos de evaluación y acreditación:

Entregables y ponderación:

1) Diseño de la red de distribución de polarización	10%
2) Diseño de la red de distribución de reloj	10%
3) Diseño del anillo de PADs	10%
4) Resultados de verificación del sistema	15%
5) Tapeout del chip	20%
6) Reporte final del proyecto conforme al formato de reportes internos	35%

Referencias:

Libros de texto

[1] System design using SoCs: reliability, maintainability, availability and suitability analysis, Peter Ateshian, Daniel Zuilaica, and Clifford Whitcom, 2010.

[2] Power Distribution Networks with On-Chip Decoupling Capacitors, Renatas Jakushokas, Mikhail Popovich, Andrey V. Mezhiba, Selçuk Köse, and Eby G. Friedman, Springer, 2010.

Artículos/tutoriales

[3] Varios tutoriales sobre diseño de circuitos VLSI, diseño de SoC disponibles en línea.